

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-297077

(43)Date of publication of application : 10.11.1995

---

(51)Int. Cl. H01G 4/12

H01G 4/232

H01G 4/30

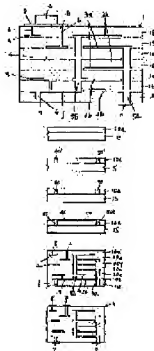
---

(21)Application number : 06-090174 (71)Applicant : KYOCERA CORP

(22)Date of filing : 27.04.1994 (72)Inventor : IMOTO AKIRA  
HISATAKA MASAFUMI  
MATSUMOTO YUZURU  
SAKANOUÉ AKIHIRO  
SUENAGA HIROSHI  
FURUHASHI KAZUMASA

---

## (54) MANUFACTURE OF MULTILAYERED CAPACITOR BOARD



(57)Abstract:

PURPOSE: To reduce inductance independently of the diameter of a viahole conductor, by using slip material containing photo-setting monomer in an insulating film, forming a through hole by selective exposure .

development of the insulating film, and forming a conductor to serve as a viahole conductor and a conductor film to serve as an electrode layer by printing conductive paste.

CONSTITUTION: An insulating film 10a to serve as a dielectric ceramic

layer 1a is formed by applying ceramic slip material containing monomer capable of photo-setting. At least two through holes 50, 60 are formed in the positions where viahole conductors 5a, 5b are formed, by selectively exposing and developing the insulating film 10a. The through holes 50, 60 of the insulating film 10a are filled with conductive paste, and conductors 51a, 51b and 61 serve as viahole conductors 5a, 5b and 6 are formed. A conductor film 31a to serve as an electrode layer 3a and a conductor film 41 to serve as inner wiring are printed and formed by using conductive paste. The above processes are repeated and then a baking process is performed in the title manufacturing method.

---

#### LEGAL STATUS

[Date of request for examination]	26.04.2001
[Date of sending the examiner's decision of rejection]	18.06.2002
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3651925
[Date of registration]	04.03.2005
[Number of appeal against examiner's decision of rejection]	2002-13562
[Date of requesting appeal against examiner's decision of rejection]	18.07.2002
[Date of extinction of right]	

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

#### CLAIMS

---

[Claim(s)]

[Claim 1] While carrying out the laminating of many 1st electrode layer and 2nd electrode layer by turns on both sides of a dielectric ceramic layer in between It is the manufacture approach of the multilayer capacitor substrate which connects and changes through a conductor. this -- the 1st and 2nd beer halls which formed the 1st electrode layer and the 2nd electrode layer in said dielectric ceramic layer -- The process which forms the insulator layer from which formation of said multilayer capacitor substrate applies the ceramic slip material containing the monomer in which (1) photo-curing is possible, and serves as a dielectric ceramic layer, (2) -- said insulator layer -- alternative -- exposure and a development -- carrying out -- said 1st and 2nd beer halls -- with the process which forms at least two through tubes in the location used as a conductor (3) -- the through tube of said insulator layer -- a conductive paste -- being filled up -- a beer hall -- with the process which forms a conductor and the becoming conductor The process which forms the film is included. (4) -- the conductor which prints on the front face of said insulator layer so that a conductive paste may be connected with the conductor with which the part filled up one through tube, and serves as the 1st or 2nd electrode layer on it -- and the insulator layer after repeating each above-mentioned process successively, a conductor, and a conductor -- the manufacture approach of the multilayer capacitor substrate characterized by carrying out baking processing of the film in one.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture approach of the multilayer capacitor substrate which changes on both sides of a dielectric ceramic layer in the 1st electrode layer and the 2nd electrode layer.

[0002]

[Description of the Prior Art] the conductor which serves as an internal electrode layer to the field to which a laminating chip capacitor serves as a chip configuration conventionally -- baking processing was performed and the terminal electrode was formed in the both-ends side where a layered product counters, after carrying out two or more laminatings of the dielectric ceramic green sheet used as the ceramic in which the film was formed and cutting corresponding to a chip field. In addition, an internal electrode layer consists of the 2nd internal electrode layer formed in the another side end-face side twist so that the edge side may be exposed to the another side end face of the 1st [ of a layered product ] internal electrode layer formed in the end-face side twist on the other hand so that the edge side might be exposed to an end face on the other hand, and a layered product, and laminating arrangement of each is carried out by turns through the ceramic layer.

[0003] Usually, since connection between an internal electrode layer and a terminal electrode is made with the thickness (for example, 2-3 micrometers) of an internal electrode layer, as for a laminating chip capacitor, connection resistance in this connection part will become large. When such a laminating chip capacitor was especially used for the switching circuit which operates at high speed, it was what does not follow high-speed operation by an inductance component becoming large (for example, 0.8nH) in the connection part of an internal electrode and a terminal electrode.

[0004] Then, as shown in the top view where drawing 4 looked at the inductance component through a fluoroscope the part as structure for making it small, while the ceramic layer 40, 1st internal electrode layer 42a, or 2nd internal electrode layer 42b carries out a laminating by turns the 1st beer hall which connects 1st internal electrode layer 42a to said ceramic layer 40 -- the 2nd beer hall which connects conductor 43a and 2nd internal electrode layer 42b -- a conductor -- the laminating chip capacitor which forms 43b and changes is proposed. and the principal plane of this laminating chip capacitor -- the 1st and 2nd beer halls -- the island-shape terminal electrodes 44a and 44b linked to Conductors 43a and 43b were formed, and it had connected with the

external circuit with these terminal electrodes 44a and 44b. In addition, in this structure, if the path of beer halls 43a and 43b is set to about 250 micrometers, an inductance component can make it fall to 0.1nH extent, and if it uses for the switching circuit which operates at high speed, things will become possible.

[0005]

[Problem(s) to be Solved by the Invention] however -- the dielectric green sheet which serves as the ceramic layer 40 in manufacturing the laminating chip capacitor shown in drawing 4 -- for example, a beer hall with a diameter of 250 micrometers -- the through hole used as Conductors 43a and 43b must be formed, and, moreover, a conductive paste must be made to fill up with and hold stably in this through hole

[0006] However, thickness of the dielectric green sheet used as the ceramic layer 40 is made thin (20-30 micrometers) as much as possible so that the height of components may not increase with the increment in the number of laminatings. Moreover, the thing which formed in the green sheet thin in this way and for which a conductive paste is filled up with and held, for example in a through hole with a diameter of 250 micrometers will become very difficult. Generally, when productivity is taken into consideration, it is about 120 micrometers in diameter.

[0007] Moreover, it is difficult for the operation as a capacitor with a low inductance value to fully do so for it to be necessary to carry out direct continuation of the laminating chip capacitor with a low inductance value to the circuit which accomplishes a switching circuit, and to carry the simple substance of a laminating chip capacitor on a PUPERINTO wiring substrate.

[0008] this invention is thought out in view of an above-mentioned trouble -- having -- the purpose -- a beer hall -- it is offering the approach of manufacturing a multilayer capacitor substrate with a low inductance value simply irrespective of the diameter of a conductor.

[0009] Moreover, another purpose is offering the approach of manufacturing the multilayer capacitor substrate which can carry out direct continuation to other circuits, in order to fully do so an operation of the multilayer capacitor substrate of a low inductance.

[0010]

[Means for Solving the Problem] While carrying out the laminating of many 1st electrode layer and 2nd electrode layer by turns on both sides of a dielectric ceramic layer in between according to this invention It is the manufacture approach of the multilayer capacitor substrate which connects and changes through a conductor. this -- the 1st and 2nd beer halls which formed the 1st electrode layer and the 2nd electrode layer

in said dielectric ceramic layer -- The process which forms the insulator layer from which formation of said multilayer capacitor substrate applies the ceramic slip material containing the monomer in which (1) photo-curing is possible, and serves as a dielectric ceramic layer, (2) -- said insulator layer -- alternative -- exposure and a development -- carrying out -- said 1st and 2nd beer halls -- with the process which forms at least two through tubes in the location used as a conductor (3) -- the through tube of said insulator layer -- a conductive paste -- being filled up -- a beer hall -- with the process which forms a conductor and the becoming conductor The process which forms the film is included. (4) -- the conductor which prints on the front face of said insulator layer so that a conductive paste may be connected with the conductor with which the part filled up one through tube, and serves as the 1st or 2nd electrode layer on it -- and the insulator layer after repeating each above-mentioned process successively, a conductor, and a conductor -- it is the manufacture approach of the multilayer capacitor substrate characterized by carrying out baking processing of the film in one.

[0011] in addition, the conductor already formed before bottom opening of the through tube formed the insulator layer, although a through tube penetrates the insulator layer -- since it is blockaded with the film or a conductor and becomes a "crevice" configuration as the whole, in order to distinguish from the through hole of the manufacture approach using the conventional green sheet especially, by the manufacture approach of this invention, it is expressed as a "penetration crevice."

[0012]

[Function] In this invention, since the ceramic slip material containing the monomer in which photo-curing is possible is applied, and the insulator layer used as a dielectric ceramic layer dries and is formed, control of the thickness of a ceramic layer becomes very easy.

[0013] moreover, the 1st and 2nd beer halls formed in the insulator layer used as a ceramic layer -- since the penetration crevice used as a conductor is formed of alternative exposure and development of an insulator layer, the high penetration crevice of precision can be easily created with the configuration and dimension of arbitration, for example, 250 micrometers.

[0014] moreover, the 1st and 2nd beer halls -- in order that a conductor and the becoming conductor may fill up and form in an above-mentioned penetration crevice, it is absolutely none that the conductive paste with which the through tube which could form the conductor stably and was formed in a green sheet like before was filled up carries out a

restoration omission.

[0015] Moreover, since the insulator layer used as a forming face is formed of spreading and desiccation of slip material in forming the 1st or 2nd electrode layer and it can always become a flat field about a forming face, the 1st or 2nd electrode layer can be formed stably.

[0016] Therefore, although the process of above-mentioned (1) - (4) is repeated successively and performed a beer hall -- in fact, since positioning of a conductor is prescribed by high exposure and development of precision the beer hall by the location gap at the time of carrying out the laminating of the conventional green sheet -- a conductor -- the defective continuity of a between -- not generating -- the beer hall where the measure, 1st, or 2nd electrode layer is comparatively big -- since a conductor connects and it can derive outside, it becomes the multilayer capacitor substrate of a low inductance.

[0017] Moreover, in forming an above-mentioned multilayer capacitor substrate, the external circuit linked to this capacitor can be formed easily [ a multilayer capacitor substrate ]. namely, the beer hole which connects between this circuit pattern in case the 1st and 2nd beer halls are formed in coincidence for the predetermined circuit pattern which constitutes the circuit of the exterior linked to this capacity component in case the 1st or 2nd electrode layer is formed -- a conductor can also be formed in coincidence.

[0018] Therefore, it becomes possible to use an operation of the multilayer capacitor of a low inductance as the multilayer capacitor substrate of circuit one apparatus which can fully be done so.

[0019]

[Example] Hereafter, this invention is explained based on a drawing.

[0020] Drawing 1 is the sectional view of the multilayer capacitor substrate 10 concerning this invention. In addition, in drawing, the example which installed the circuit section linked to the capacitor section which generates a capacity component, and this capacitor section explains.

[0021] In drawing 1 , 1 is a laminating ceramic substrate and 2 is electronic parts.

[0022] The capacitor section X and the multilayer circuit section Y are installed by the laminating ceramic substrate 1, and it is in it.

Moreover, between insulator ceramic layer 1a, the dielectric ceramic layers 1b-1f, 1g (it names generically and is called a ceramic layer) of insulator ceramic layers, and ceramic layers [ 1a-1g ] each class, as for the laminating ceramic substrate 1, the internal wiring 4 with which

the 1st or 2nd electrode layer 3a and 3b which constitutes said part by volume X is arranged, and the circuit section Y is constituted is arranged. moreover, the 1st and 2nd beer halls which constitute said part by volume X in the ceramic layers 1a-1g -- Conductors 5a and 5b form -- having -- moreover -- moreover, the beer hall which constitutes the circuit section Y -- the conductor 6 is formed.

[0023] Moreover, the front wiring (a terminal electrode is included) 8 of the circuit section Y containing the terminal electrode 7 of the capacitor section X is formed in the principal plane of the laminating ceramic substrate 1. Although not shown in drawing, further, if needed, the thick film resistor film is formed, and it is formed so that an insulating protective coat may expose electronic parts 2, the terminal electrode 7, etc.

[0024] Here, the ceramic layers 1a and 1g used as the front \*\*\*\* principal plane of the laminating ceramic substrate 1 are formed in insulator ceramic layers, such as an alumina. If it is original, the ceramic layers 1a-1g should be made the dielectric ceramic layer, but when the thick film resistor film is formed in the principal plane of the laminating ceramic substrate 1, some dielectric materials (for example, a titania component, a lead component, etc.) are spread on the thick film resistor film, and a resistive characteristic tends to become unstable, for example. For this reason, in order to stabilize the resistive characteristic of the thick film resistor film, the insulator ceramic layer is used for the ceramic layers 1a and 1g used as the front \*\*\*\* principal plane of the laminating ceramic substrate 1. Moreover, it becomes advantageous also when the reinforcement of a substrate is taken into consideration.

[0025] The insulator ceramic layers 1a and 1g consist of a glass ceramic ingredient whose baking is enabled at comparatively low temperature. As a concrete ceramic ingredient, a cristobalite, a quartz, corundum (alpha alumina), a mullite, a cordylite, etc. can be illustrated. Moreover, what is necessary is to be the glass frit which contains two or more metallic oxides as a glass ingredient, and just to deposit at least one kind by carrying out baking processing in the crystal of cordierite, a mullite, anorthite, Serge Anh, a spinel, Ghana Ito, willemite, a dolomite, and a petalite and its permutation derivative.

[0026] Moreover, the dielectric ceramic layers 1b-1f are  $\text{BaTiO}_3$  with a high dielectric constant as a ceramic ingredient. Dielectric ceramic ingredients, such as  $\text{Pb}_4\text{Fe}_2\text{Nb}_{20}\text{I}_{12}$ , can be illustrated. These ceramic layers [ 1a-1g ] thickness is about 10-100 micrometers.

[0027] the 1st and the 2nd electrode layer 3a and 3b, the internal



wiring 4, and the 1st and 2nd beer halls -- Conductors 5a and 5b and a beer hall -- a conductor 6 consists of conductors, such as Ag system (Ag alloys, such as Ag simple substance and Ag-Pd) and Cu system (Cu simple substance, Cu alloy), and the 1st and the 2nd electrode layer 3a and 3b, and the thickness of the internal wiring 4 are about 8-15 micrometers. in addition, the 1st and 2nd beer halls -- Conductors 5a and 5b and a beer hall -- although the diameter of a conductor 6 can be made into arbitrary values -- the 1st and 2nd beer halls -- the diameter of Conductors 5a and 5b -- 250 micrometers and a beer hall -- the diameter of a conductor 6 is 80 micrometers.

[0028] The terminal electrode 7 and front wiring 8 consist of conductors, such as Ag system (Ag alloys, such as Ag simple substance and Ag-Pd) and Cu system (Cu simple substance, Cu alloy).

[0029] Since migration etc. does not occur, the terminal electrode 7 of a copper system and front wiring 8 are important conductor material for densification. in addition, a copper system -- in order for the conditions which can be burned to carry out by the reducing atmosphere or neutral atmosphere in the case of a conductor, but to be burned on coincidence at the time of baking of the laminating ceramic substrate 1 and to process -- a silver system -- a conductor may be used.

[0030] IC by which electronic parts 2 were already contained by the container other than chips, such as IC bare chip, a chip resistor, and a chip capacitor, a transistor, oscillation components, etc. are mentioned. In addition, in order to make the height of the whole substrate low, the mold cavity which contains electronic parts 2 may be formed in a substrate front face, and electronic parts 2 may be contained and arranged in millet tea.

[0031] With the above configuration, a capacity component occurs between 1st electrode layer 3a and 2nd electrode layer 3b which a predetermined capacity component occurs between 1st electrode layer 3a and 2nd electrode layer 3b which counter mutually, for example on both sides of 1d of dielectric ceramic layers, and counter mutually on both sides of dielectric ceramic layer 1e. 5a connects in common. and two or more 1st electrode layer 3a -- the 1st beer hall -- a conductor -- two or more 2nd electrode layer 3b -- the 2nd beer hall -- a conductor -- the capacity which 5b connected in common and was generated in this part by volume X by it -- the terminal electrode 7 and the 2nd beer hall -- a conductor -- a predetermined capacity component can be derived between the end of 5b, and a connection part with the multilayer circuit section Y.

[0032] this time -- each electrodes 3a and 3b -- the 1st beer hall where

a diameter is very as large as 250 micrometers -- conductor 5a -- the 2nd beer hall -- a conductor -- it connects with body 5b -- having -- this 1st beer hall -- conductor 5a and the 2nd beer hall -- a conductor, since predetermined capacity will be obtained through body 5b every -- 1st electrode layer 3a and the 1st beer hall -- a conductor -- resistance of 5a and connection -- moreover 2nd electrode layer 3b and the 2nd beer hall -- a conductor -- resistance of connection with 5b becomes very small, and the contact resistance in a connection part with the terminal electrode 7 or the multilayer circuit section Y falls, and an in DAKUTAN value becomes very small.

[0033] Next, the manufacture approach of the laminating ceramic substrate 1 is explained based on the flow chart of the process of drawing 2 , and the sectional view in the main processes of drawing 3 (a) - drawing 3 (f).

[0034] first, the ceramic slip material which prepares the support substrate 15 and serves as the ceramic layers 1a-1g beforehand as shown in drawing 2 -- preparing -- further -- the electrode layers 3a and 3b, an inner conductor 4, and a beer hall -- the conductive paste used as conductors 5a, 5b, and 6 is prepared.

[0035] The support substrate 15 can illustrate heat resistant resin, glass, a ceramic, etc.

[0036] In drawing 1 , two kinds of slip material is required for ceramic slip material, for example, the slip material for forming the insulator layers 10a and 10g which serve as the insulator ceramic layers 1a and 1g after calcinating carries out homogeneity kneading, and forms ceramic powder, a glass ingredient, the monomer in which photo-curing is possible, a binder, and a solvent.

[0037] Ceramic powder can illustrate insulating ceramic ingredients, such as a cristobalite, a quartz, corundum (alpha alumina), a mullite, and a cordylite. What was preferably ground to 1.5-4.0 micrometers is used the mean particle diameter of 1.0-6.0 micrometers. In addition, two or more sorts are mixed and a ceramic ingredient may be used. When corundum is used especially, it becomes advantageous in cost.

[0038] The glass frit containing B<sub>2</sub>O<sub>3</sub>, SiO<sub>2</sub>, aluminum 2O<sub>3</sub>, ZnO, and an alkaline earth oxide is mentioned that to be the glass frit which contains two or more metallic oxides as a glass ingredient, and what is necessary is just what deposits at least one kind by carrying out baking processing in the crystal of cordierite, a mullite, anorthite, Serge Anh, a spinel, Ghana Ito, willemite, a dolomite, and a petalite and its permutation derivative. the conductor which fits low-temperature baking of about 850-1050 degrees C, and turns into an inner conductor 3 since

the vitrification range is wide and such a glass frit has a surrendering point near 600-800 degree C again -- it is because sintering behavior with the film approximates. In addition, 1.0-5.0 micrometers of mean particle diameter of this glass frit are 1.5-3.5 micrometers preferably. [0039] the percentage of an above-mentioned ceramic ingredient and a glass ingredient -- the 850-1050-degree C case where it calcinates at low temperature comparatively -- a ceramic ingredient -- 10 - 60wt% -- desirable -- 30 - 50wt% -- it is -- a glass ingredient -- 90 - 40wt% -- it is 70 - 50wt% preferably.

[0040] The monomer in which photo-curing is possible is low temperature comparatively, and it is excellent in pyrolysis nature so that it can disappear at a short-time baking process. By moreover, exposure after spreading / desiccation of slip material Photopolymerization needs to be carried out and formation of an uncombined radical and chain growth addition polymerization are possible. Alkyl acrylate, such as butyl acrylate in which a monomer with the 2nd class or the 3rd class carbon has preferably the ethylene system radical in which at least one polymerization is possible, and the alkyl methacrylate corresponding to them are effective. Moreover, polyethylene-glycol diacrylate, such as tetraethylene glycol diacrylate, the methacrylate corresponding to them, etc. are mentioned. In addition, specified quantity addition of the monomer in which photo-curing is possible is carried out so that parts other than an exposure part can remove easily by the development after exposure processing. For example, formed element (a ceramic ingredient and glass ingredient) It receives and is less than [ 5-15wt% ].

[0041] Pyrolysis nature of a binder must be good like the monomer in which photo-curing is possible. Since it is what decides the viscosity of a slip to be coincidence, the ethylene nature unsaturated compound which also had to think wettability with solid content as important and was equipped with a carboxyl group like an acrylic acid or a methacrylic-acid system polymer and the alcoholic hydroxyl group is desirable. As an addition, less than [ 25wt% ] is desirable to solid content.

[0042] As a solvent, an organic system solvent and a drainage system solvent can be used. In addition, in the case of the drainage system solvent, the monomer and binder in which photo-curing is possible need to be water solubility, and the functional group of a hydrophilic property, for example, a carboxyl group, is added to the monomer and the binder. If the amount of addition is expressed with the acid number, there will be 2-300 and it will be 5-100 preferably.

[0043] Since the solubility to water and the dispersibility of the

powder of a fixed component worsen, and pyrolysis nature worsens when many when there are few amounts of addition, the amount of addition is suitably added in the above-mentioned range in consideration of the solubility to water, dispersibility, and pyrolysis nature.

[0044] Although the pyrolysis nature of the monomer and binder in which photo-curing is possible must be good also in the slip material of which system as mentioned above, a pyrolysis must specifically be possible below 600 degrees C. Furthermore, it is 500 degrees C or less preferably.

[0045] Moreover, to slip material, a sensitizer, an optical initiation system ingredient, etc. may be added if needed. For example, benzophenones, an acyloin ester compound, etc. are mentioned as an optical initiation system ingredient.

[0046] Moreover, the slip material for forming the insulator layers 10b-10f which serve as the dielectric ceramic layers 1b-1f after calcinating carries out homogeneity kneading, and forms dielectric ceramic powder, the monomer in which photo-curing is possible, a binder, and a solvent.

[0047] the difference with above-mentioned ceramic slip material -- as a formed element -- the dielectric ceramic ingredient 3, for example, BaTiO<sub>3</sub>, and Pb<sub>4</sub>Fe<sub>2</sub>Nb<sub>2</sub>O<sub>12</sub> and TiO<sub>2</sub> etc. -- it is a point using a dielectric ceramic ingredient.

[0048] the electrode layers 3a and 3b after calcinating, an inner conductor 4, and a beer hall -- conductors 5a, 5b, and 6 and the becoming conductor -- that to which the conductive paste which forms the film and a conductor carried out homogeneity kneading of conductor-material powder, for example, silver system powder, such as Ag system (Ag alloys, such as Ag simple substance and Ag-Pd) and Cu system (Cu simple substance, Cu alloy), a low-melting-glass component, and an organic binder and an organic solvent is used. in addition, the photo-curing monomer used during the above-mentioned conductive paste at ceramic slip material -- adding -- each -- a conductor -- the film is printed, and after drying, photo-curing may be carried out by exposure processing. this mentions later -- as -- a conductor -- the already formed conductor which is exposed from lower opening of the penetration crevice of an insulator layer when a development is carried out, exposure and in order to apply the whole surface on the insulator layer used as a ceramic layer and to form a penetration crevice on the film at this insulator layer -- the film -- although -- it is for making it not removed. in addition, the conductor which the developer used for the development of an insulator layer removed only the insulator layer by which exposure processing is not carried out, and already formed and a conductor -- if the component and concentration are controlled not to

remove the film etc. -- a conductive paste -- a photo-curing monomer -- it is not necessary to use -- and a conductor and a conductor -- the exposure processing to the film is omissible.

[0049] As mentioned above, after preparing the conductive paste used as the ceramic slip material used as the support substrate 15 and the ceramic layers 1a-1g, and an inner conductor 3, it becomes the process which forms the layered product used as the laminating ceramic substrate 1.

[0050] First, as shown in drawing 3 (a), insulator layer 10a used as insulator ceramic layer 1a is formed on the support substrate 15 as a process of (1). It applies and dries and, specifically, ceramic slip material is formed so that it may be set to about 40-120 micrometers.

[0051] As the method of application of slip material, a doctor blade method (the knife coat method), the roll coat method, print processes, etc. are mentioned. A doctor blade method with easy the front face of the insulator layer after spreading carrying out flattening especially etc. is suitable. In addition, the addition of a solvent is adjusted according to the method of application, and it is adjusted to predetermined viscosity.

[0052] It is carried out using a batch type drying furnace and an in-line type drying furnace as the desiccation approach, and desiccation conditions have desirable 120 degrees C or less. Moreover, rapid desiccation becomes important [ avoiding sudden heating ] in order to have a crack generated by the front face.

[0053] next, insulator layer 10a which applied and dried the slip material which is the last process of the process of (2) as shown in drawing 3 (b) -- alternative exposure processing -- carrying out -- the predetermined location of insulator layer 10a, i.e., the 1st and 2nd beer halls, -- vitrification section 50' used as the penetration crevice 50 (it becomes a crevice configuration in fact for the existence of the support base 15) forms in the location used as Conductors 5a and 5b. In addition, in the case of drawing 1 which constitutes the circuit section in this substrate, vitrification section 60' used as the penetration crevice 60 is formed in the location which serves as a beer hall 6 at coincidence at this process.

[0054] concrete -- an insulator layer -- ten -- a -- inside -- containing -- having -- photo-curing -- a monomer -- photopolymerization -- carrying out -- having -- a negative mold -- it is -- a sake -- penetration -- a crevice -- 50 -- 60 -- becoming -- vitrification -- the section -- 50 -- ' -- 60 -- ' -- exposure -- light -- irradiating -- not having -- as -- predetermined -- a pattern -- having -- a photograph --

a target -- an insulator layer 10a top -- installation or contiguity arrangement -- carrying out -- the exposure light of the mercury-vapor lamp system of low voltage, high pressure, and extra-high voltage -- irradiating . In addition, exposure conditions are 15 - 20 J/cm<sup>2</sup>. Exposure light is irradiated about about 15 to 30 seconds, and is performed. thereby -- the 1st and 2nd beer halls of insulator layer 10a -- Conductors 5a and 5b and a beer hall -- except the part used as a conductor 6, the photopolymerization reaction of the monomer in which photo-curing is possible will be caused, and photo-curing will be carried out. In addition, an aligner is easy to be the general thing used for the so-called photoengraving-process technique.

[0055] And as shown in drawing 3 (c), the development of the insulator layer 10a which carried out exposure processing is carried out as a back process of the process of (2), vitrification section 50' and 60' are removed, and the penetration crevices 50 and 60 are formed. By this, some support substrates 15 will be exposed to lower opening of the penetration crevices 50 and 60.

[0056] As a development, chloroethene, 1,1,1-trichloroethane, and an alkali development solvent are injected to vitrification section 40' by for example, the spray developing-negatives method or the paddle developing-negatives method, or it contacts, and, specifically, a development is performed. Then, washing and desiccation are performed if needed.

[0057] next, it is shown in drawing 3 (d) -- as -- as the process of (3) -- a development -- carrying out -- the inside of the penetration crevice 50 of insulator layer 10a, and 60 -- the 1st and 2nd beer hall - - Conductors 5a and 5b, the becoming conductors 51a and 51b, and a beer hall -- a conductor 6 and the becoming conductor 61 are formed by restoration of a conductive paste.

[0058] then, the conductor set to 1st electrode layer 3a arranged between ceramic layer 1a and ceramic layer 1b on insulator layer 10a as a process of (4) -- film 31a is formed. in addition, the conductor which serves as the internal wiring 4 at this process at coincidence in the case of drawing 1 which constitutes the circuit section in this substrate -- the film 41 is formed by printing of a conductive paste.

[0059] the above-mentioned beer hall of (3) -- the conductor used as the process and the electrode layer of (4) which form a conductor and the becoming conductor -- the conductor used as the film and internal wiring -- the process which forms the film can also be performed to coincidence by the same screen-stencil.

[0060] Above, each process of a series of (1) - (4) is completed.

[0061] Next, replace ceramic slip material with the ceramic slip material used as a dielectric ceramic layer, and the above-mentioned process of (1) is repeated. Form insulator layer 10b used as dielectric ceramic layer 1b, then the process of (2) is performed. A conductor 6 and the penetration crevice 60 are formed. insulator layer 10b -- the 1st and 2nd beer hall -- a conductor -- 5a, the penetration crevice 50, and a beer hall -- Then, while performing the process of (3) and (4), filling up the penetration crevice 50 and the penetration crevice 60 with a conductive paste and forming conductors 51a, 51b, and 61 the conductor used as electrode layer 3b arranged on insulator layer 10b between dielectric ceramic layer 1b and dielectric ceramic layer 1c -- the conductor used as film 31b and the internal wiring 4 -- the film 41 is formed.

[0062] the conductors 51a, 51b, and 61 which similarly are formed in the insulator layers 10c-10f used as 1f of dielectric ceramic layer 1c - dielectric ceramic layers, and insulator layers 10c-10f, and the conductor formed on insulator layer 10c-10f -- film 31a, 31b, and 41 is formed.

[0063] the last -- 10g of moreover, insulator layers which replace slip material with, perform the process of (1), and serve as 1g of insulator ceramic layers of the maximum upper layer -- forming -- continuing -- the process of (2) -- carrying out -- the inside of 10g of insulator layers -- a beer hall -- the penetration crevice 60 used as a conductor 6 -- forming -- (3) processes -- carrying out -- the inside of the penetration crevice 60 -- a beer hall -- a conductor 6 and the becoming conductor 61 are formed. the beer hall of 10g of insulator layers -- since a conductor 6 is what is exposed on the surface of a substrate, when an after that development is not carried out, the exposure processing which performs photo-curing is omitted.

[0064] Next, as shown in drawing 3 (e), the support substrate 15 is separated, a division slot is formed by press molding so that it can divide with the dimension of the multilayer capacitor substrate 10, and one-sintering is performed.

[0065] Sintering consists of a debinder process and a baking process. the conductor with which a debinder process is set to insulator layers 10a-10g and 1st electrode layer 3a -- film 31a -- the conductor used as 2nd electrode layer 3b -- the conductor used as film 31b and the internal wiring 4 -- the film 41 and the 1st beer hall -- a conductor -- conductor 51a used as 5a -- the 2nd beer hall -- a conductor -- conductor 51b used as 5b, and a beer hall -- it is for the organic component contained in a conductor 6 and the becoming conductor 61 being

burned down, and is carried out at a sintering process, for example, a temperature field 600 degrees C or less.

[0066] Moreover, a baking process fully softens an insulator layers [ 10a-10g ] glass component. Distribute the grain boundary of ceramic powder to homogeneity, and fixed reinforcement is given to the laminating ceramic substrate 1. coincidence -- a conductor -- film 31a, 31b, and 41 and each beer hall, while carrying out grain growth and making the silver system powder of a conductor and the becoming conductors 51a, 51b, and 61 form into low resistance It is made to unite with insulating layers 1a-1g, and is performed by the peak temperature of 850-1050 degrees C by the oxidizing atmosphere or neutral atmosphere.

[0067] thereby -- insulator layers 10a-10g -- the ceramic layers 1a-1g -- becoming -- a conductor -- the film -- a conductor -- film 31a, 31b, and 41 -- respectively -- 1st electrode layer 3a, 2nd electrode layer 3b, and the internal wiring 4 -- becoming -- conductors 51a, 51b, and 61 -- the 1st beer hall -- a conductor -- conductor 5a and the 2nd beer hall -- conductor 5b and a beer hall -- it becomes a conductor 6.

[0068] In addition, as a support substrate 15, when using a ceramic base, it can use as a part of laminating ceramic substrate 1 as it is. At this time, internal wiring may be formed on the support substrate 15.

[0069] next, as shown in drawing 3 (f), it becomes both the principal planes of a substrate with the terminal terminal electrode 7 and front wiring 8 with a copper system conductivity paste -- each -- a conductor -- printing formation of the film is carried out and desiccation and baking are performed after that.

[0070] here -- the terminal electrode 7 of a copper system, front wiring 8, and a silver system -- the beer hall of a conductor -- a conductor 6 will join. For this reason, in order to screen-stencil the copper system conductivity paste in which low-temperature (for example, 780 degrees C or less) baking is possible as front wiring 7 of a copper system and to prevent copper oxidation in consideration of the eutectic temperature of silver and copper, it is important to carry out in a reducing atmosphere or neutral atmosphere.

[0071] Then, if needed, the thick-film resistance film, a protective coat, etc. are burned, and there is it along a division slot, and it divides into the magnitude of each substrate, and the laminating ceramic substrate 1 is attained.

[0072] Furthermore, electronic parts 2 are joined by solder to the front face of the laminating ceramic substrate 1.

[0073] as mentioned above, the 1st beer hall which connects two or more 1st electrode layer 3a in common according to the above-mentioned



manufacture approach -- the 2nd beer hall which connects conductor 5a and two or more 2nd electrode layer 3b in common -- a conductor -- 5b fills up with a conductive paste the penetration crevice 50 formed in the insulator layers 10a-10g used as the ceramic layers 1a-1g of exposure and a development, and is formed in it. for this reason, the beer hall which restoration maintenance of the conductive paste to the through hole of the green sheet made former very difficult became unnecessary, and accumulated, and was especially stabilized even if it was an about 250-micrometer diameter -- Conductors 5a and 5b can be formed.

[0074] and the 1st beer hall -- conductor 5a and the 2nd beer hall -- a conductor -- the beer hall formed in the diameter, the configuration, and a ceramic layer different again in 5b, since a connecting location with Conductors 5a and 5b is also decided only by high exposure processing of an above-mentioned precision being arbitrary in a diameter and a configuration -- it can carry out -- a beer hall -- those, such as a connecting location gap of Conductors 5a and 5b, -- entirely -- not generating -- a beer hall -- it is low, and is reliable, namely, connection resistance with a conductor becomes possible [ forming the very low capacitor of an inductance value simply ].

[0075] Moreover, since formation of each insulator layers 10a-10g is performed by spreading of slip material, control of the thickness is easy and can consider as the optimal reasonable thickness according to the dielectric constant which are the ceramic layers 1a-1g.

[0076] Moreover, the electrode layers 3a and 3b arranged at the lower part, the pattern configuration of the internal wiring 4, and the number of laminatings are not concerned, but the front face when forming these insulator layers 10a-10g turns into an always uniform flat side. for this reason, the conductor which serves as the electrode layers 3a and 3b on the front face of these insulator layers 10a-10e -- the conductor used as Film 31a and 31b or the internal wiring 4 -- in forming the film 41, front wiring 8, etc., it can carry out certainly.

[0077] Moreover, in the same substrate as the part by volume X with a low inductance value, since the circuit section Y connected with a part by volume X at the formation process and coincidence of this part by volume X can be formed, the property of the part by volume X with a low inductance value can fully be done so by uniting especially with the circuit of high-speed operation.

[0078] in addition, the circuit section X -- also setting -- a beer hall -- the beer hall where high currents, such as power-source Rhine of a circuit and an earth line, flow since the diameter of a conductor 6 and

a configuration can be set as arbitration -- low resistance-ization of a conductor 6 can be performed easily.

[0079] in addition, an above-mentioned example -- setting -- 1st electrode layer 3a, 2nd electrode layer 3b, the internal wiring 4, and the 1st and 2nd beer hall -- Conductors 5a and 5b and a beer hall, although the conductor material of a conductor 6, and the front wiring 8 on the front face of a substrate and the conductor material of the terminal electrode 7 are formed with a conductor material of a different kind By using the conductor material which can be calcinated on the same conditions at least, the terminal electrode 7 and the baking process of front wiring 8 can be performed before the baking process of the laminating ceramic substrate 1, and insulator layers 10a-10g and all conductors can also be calcinated to coincidence.

[0080] Moreover, it sets to the multilayer capacitor substrate 10 shown in drawing 1 . Since the terminal electrode 7 and front wiring 8 are formed in the rear-face side principal plane of a substrate, the beer hall which is the process of (2) after performing the formation process of insulator layer 10a used as ceramic layer 1a of the bottom which is the process of (1), although the exposure and the development process for forming the penetration crevices 50 and 60 used as a conductor are performed the conductor which the process of (2) is skipped and is the process of (3) after forming insulator layer 10a, when forming neither the terminal electrode 7 nor front wiring 8 in the rear-face side principal plane of a substrate -- a membranous formation process may be performed.

[0081] Furthermore, although the numbers of laminatings of a ceramic layer are 7 layer structures, they can set the number of laminatings as arbitration, and you may make it a part by volume X generate them nothing only in one according to capacity value. [ two or more ]

[0082] Although a part by volume X and the circuit section Y are installed in the multilayer capacitor substrate 10, an example is available even if it constitutes the multilayer capacitor substrate 10 from one or more parts by volume X also as a configuration, i.e., a multilayer capacitor. this time -- as a ceramic layer -- all -- a dielectric ceramic layer -- constituting -- the principal plane of that laminating ceramic substrate 1 -- the 1st and 2nd beer halls -- the island-shape terminal electrode linked to Conductors 5a and 5b is formed.

[0083]

[Effect of the Invention] the slip material which contains a photo-curing monomer for the insulator layer used as a ceramic layer as mentioned above according to this invention -- using -- sequential

spreading -- forming -- a beer hall -- the through tube used as a conductor -- alternative exposure and development of an insulator layer -- forming -- a beer hall -- a conductor, the becoming conductor, and the conductor used as an electrode layer -- the film is formed by printing of a conductive paste etc. therefore -- especially -- a beer hall -- since the diameter of a conductor can be set as arbitration, a multilayer capacitor substrate with high connection dependability can form very easily low [ an inductance value ].

[0084] Moreover, since the circuit linked to this capacitor can be formed in a multilayer capacitor substrate at the formation process and coincidence of a capacitor, by installing the circuit section in a multilayer capacitor substrate, an inductance value is low, namely, the property of the capacitor that it can respond to the circuit which carries out high-speed operation can fully be pulled out.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the multilayer capacitor substrate concerning this invention.

[Drawing 2] It is process drawing for explaining manufacture of the multilayer capacitor substrate of this invention.

[Drawing 3] (a) - (f) is a sectional view in the main processes of manufacture of the multilayer capacitor substrate of this invention.

[Drawing 4] It is the outline top view of the conventional low in DAKUTAN mold multilayer capacitor.

[Description of Notations]

10 ..... Multilayer capacitor substrate

1 ..... Laminating ceramic substrate

1a-1g ... Ceramic layer  
10a-10g ... Insulator layer  
2 ..... Electronic parts  
3a ..... 1st electrode layer  
3b ..... 2nd electrode layer  
4 ..... Internal wiring  
5a ..... the 1st beer hall -- a conductor  
5b ..... the 2nd beer hall -- a conductor  
6 ..... a beer hall -- a conductor  
7 ..... Terminal electrode  
8 ..... Front wiring  
31a ..... the conductor used as the 1st electrode layer -- the film  
31b ..... the conductor used as the 2nd electrode layer -- the film  
41 ..... the conductor used as internal wiring -- the film  
51a ..... the 1st beer hall -- a conductor and the becoming conductor  
51b ..... the 2nd beer hall -- a conductor and the becoming conductor  
61 ..... a beer hall -- a conductor and the becoming conductor

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

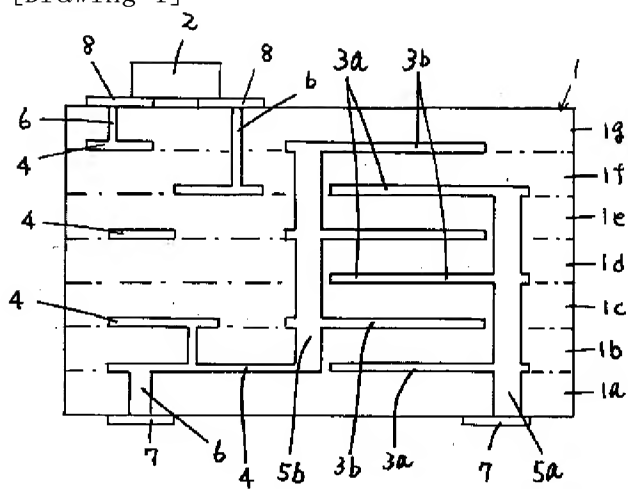
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DRAWINGS

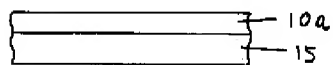
---

[Drawing 1]

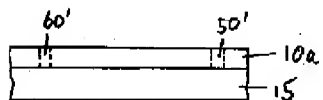


[Drawing 3]

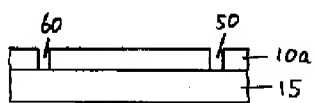
(a)



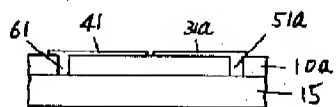
(b)



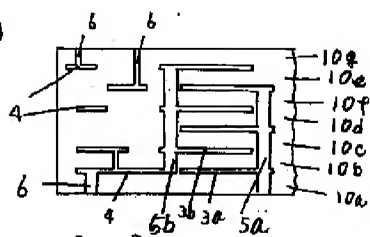
(c)



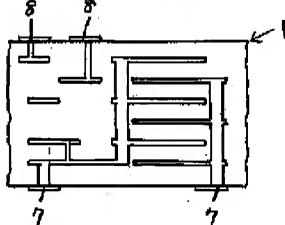
(d)



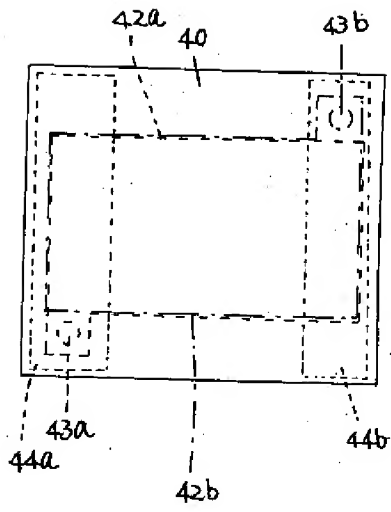
(e)



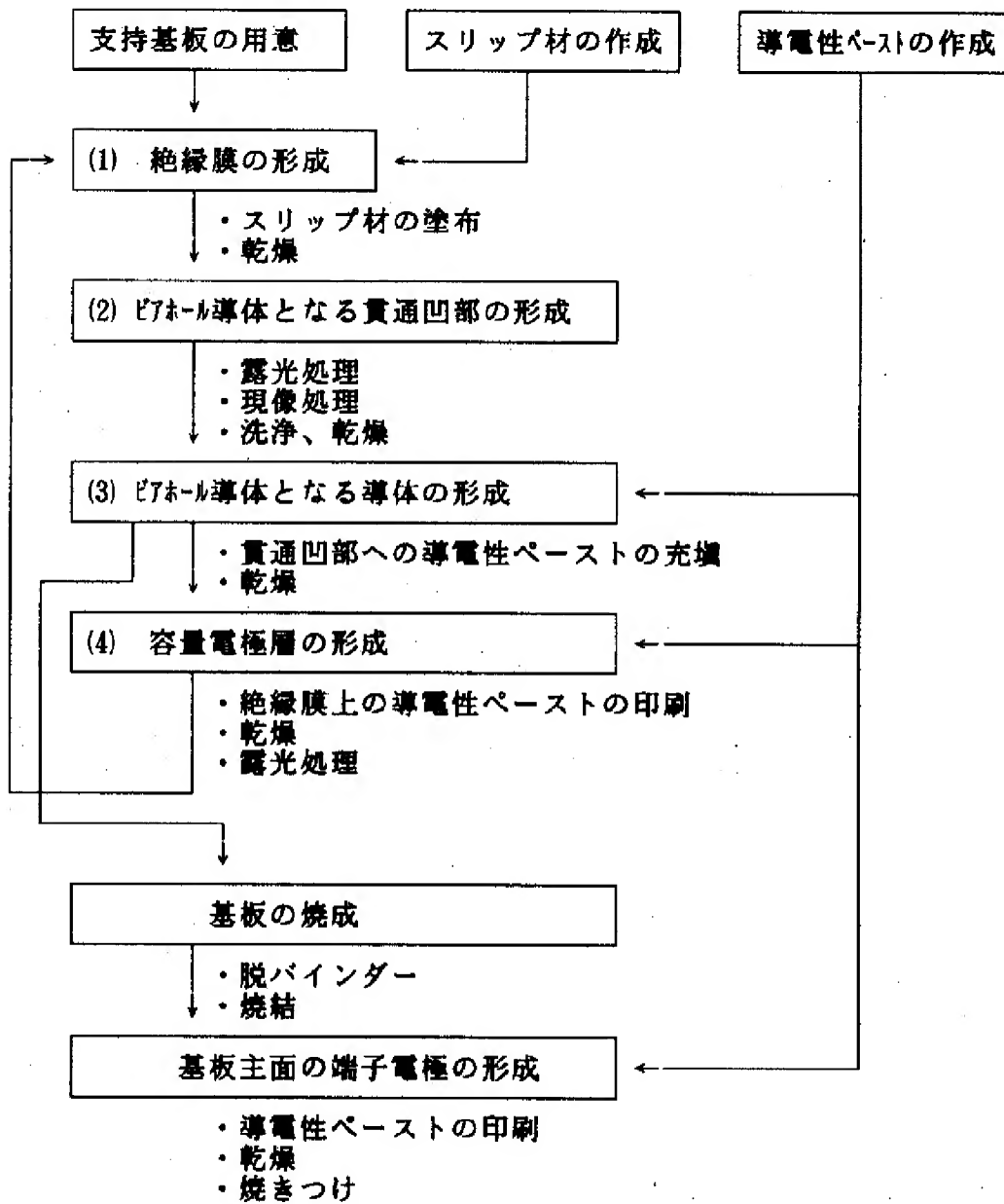
(f)



[Drawing 4]



[Drawing 2]



[Translation done.]

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-297077

(43)公開日 平成7年(1995)11月10日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G	4/12	3 6 4		
	4/232			
	4/30	3 1 1	D	9174-5E
			E	9174-5E
				9174-5E
			H 0 1 G	1/ 147
			審査請求	未請求 請求項の数 1
				Z
				○ L (全 9 頁)

(21)出願番号 特願平6-90174

(22)出願日 平成6年(1994)4月27日

(71)出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72)発明者 井本 晃

鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(72)発明者 久高 将文

鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(72)発明者 松本 譲

鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

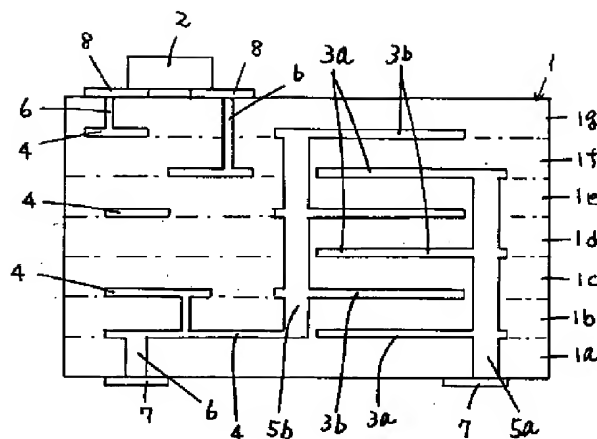
最終頁に続く

(54)【発明の名称】 積層コンデンサ基板の製造方法

(57)【要約】

【目的】低インダクタンスのコンデンサを簡単に、且つ信頼性高く製造できる積層コンデンサ基板の製造方法を提供する。

【構成】本発明は、光硬化可能なモノマーを含有するセラミックスリップ材を塗布により絶縁膜10a~10gを形成する工程、該絶縁膜10a~10gでビアホール導体5a、5bとなる位置に、露光・現像処理によって貫通凹部50を形成する工程、該貫通凹部50、60に導電性ペーストを充填し、ビアホール導体5a、5bとなる導体51a、51bを形成する工程、該絶縁膜10a~10e上に第1の電極層3a又は第2の電極層3bとなる導体膜31a、31bを形成する工程を順次繰り返す、さらに、一体的に焼結した積層積層コンデンサ基板の製造方法である。





## 【特許請求の範囲】

【請求項1】 第1の電極層と第2の電極層とを間に誘電体セラミック層を挟んで交互に多数積層するとともに、該第1の電極層どうし及び第2の電極層どうしを前記誘電体セラミック層に形成した第1及び第2のビアホール導体を介して接続して成る積層コンデンサ基板の製造方法であって、

前記積層コンデンサ基板の形成が、(1)光硬化可能なモノマーを含有するセラミックスリップ材を塗布して誘電体セラミック層となる絶縁膜を形成する工程と、 10

(2)前記絶縁膜を選択的に露光・現像処理して、前記第1及び第2のビアホール導体となる位置に、少なくとも2つの貫通孔を形成する工程と、(3)前記絶縁膜の貫通孔に導電性ペーストを充填してビアホール導体となる導体とを形成する工程と、(4)前記絶縁膜の表面に導電性ペーストを、一部が一方の貫通孔に充填した導体と接続するように印刷して第1又は第2の電極層となる導体膜を形成する工程とを含み、且つ上述の各工程を順次繰り返した後、絶縁膜、導体、及び導体膜を一体的に焼成処理することを特徴とする積層コンデンサ基板の製造方法。 20

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、第1の電極層と第2の電極層とで誘電体セラミック層を挟んで成る積層コンデンサ基板の製造方法に関するものである。

## 【0002】

【従来の技術】従来、積層チップコンデンサは、チップ形状となる領域に、内部電極層となる導体膜を形成したセラミックとなる誘電体セラミックグリーンシートを複数積層して、チップ領域に対応して切断した後、焼成処理を行い、積層体の対向する両端面に端子電極を形成していた。尚、内部電極層は、積層体の一方端面にその端辺が露出するように一方端面側より形成した第1の内部電極層と積層体の他方端面にその端辺が露出するように他方端面側より形成した第2の内部電極層とからなり、夫々がセラミック層を介して交互に積層配置されている。 30

【0003】通常、積層チップコンデンサは、内部電極層と端子電極との接続が内部電極層の厚み(例えば2~3 $\mu$ m)によって行われているため、この接続部分での接続抵抗が大きくなってしまふ。特にこのような積層チップコンデンサを高速で動作するスイッチング回路などに用いると、内部電極と端子電極との接続部分で、インダクタンス成分が大きくなってしまい(例えば、0.8nH)、高速動作に追従しないものであった。

【0004】そこで、インダクタンス成分を小さくするための構造として、図4の一部透視した平面図のように、セラミック層40と第1の内部電極層42a又は第2の内部電極層42bとが交互に積層するとともに、前 50

記セラミック層40に、第1の内部電極層42aどうしを接続する第1のビアホール導体43a及び第2の内部電極層42bどうしを接続する第2のビアホール導体43bを形成して成る積層チップコンデンサが提案されている。そして、この積層チップコンデンサの主面に、第1及び第2のビアホール導体43a、43bと接続する島状の端子電極44a、44bを形成し、この端子電極44a、44bで外部の回路と接続していた。尚、この構造において、ビアホール43a、43bの径を例えば250 $\mu$ m程度にすると、インダクタンス成分が0.1nH程度まで低下させることができ、高速で動作するスイッチング回路などに用いることが可能となる。

## 【0005】

【発明が解決しようとする課題】しかしながら、図4に示す積層チップコンデンサを製造するにあたり、セラミック層40となる誘電体グリーンシートには、例えば直径250 $\mu$ mのビアホール導体43a、43bとなるスルーホールを形成しなくてはならず、しかもこのスルーホール内に導電性ペーストを安定的に充填・保持させなくてはならない。

【0006】しかし、セラミック層40となる誘電体グリーンシートの厚みは、積層数の増加に伴い部品の高さが増加しないように極力薄く(20~30 $\mu$ m)している。また、このように薄いグリーンシートに形成した例えば直径250 $\mu$ mのスルーホール内に導電性ペーストを充填・保持することは非常に困難なものとなってしまう。一般に、生産性を考慮した場合、直径120 $\mu$ m程度である。

【0007】また、インダクタンス値が低い積層チップコンデンサは、例えばスイッチング回路を成す回路と直接接続する必要があり、積層チップコンデンサの単体をプベリント配線基板上に搭載することは、インダクタンス値の低いコンデンサとしての作用が十分に奏することが困難である。

【0008】本発明は、上述の問題点を鑑みて案出されたものであり、その目的は、ビアホール導体の直径に係わらず、簡単にインダクタンス値が低い積層コンデンサ基板を製造する方法を提供することである。

【0009】また、別の目的は、低インダクタンスの積層コンデンサ基板の作用を十分に奏するために他の回路と直接接続することが可能な積層コンデンサ基板を製造する方法を提供することである。

## 【0010】

【課題を解決するための手段】本発明によれば、第1の電極層と第2の電極層とを間に誘電体セラミック層を挟んで交互に多数積層するとともに、該第1の電極層どうし及び第2の電極層どうしを前記誘電体セラミック層に形成した第1及び第2のビアホール導体を介して接続して成る積層コンデンサ基板の製造方法であって、前記積層コンデンサ基板の形成が、(1)光硬化可能なモノマ

ーを含有するセラミックスリップ材を塗布して誘電体セラミック層となる絶縁膜を形成する工程と、(2)前記絶縁膜を選択的に露光・現像処理して、前記第1及び第2のビアホール導体となる位置に、少なくとも2つの貫通孔を形成する工程と、(3)前記絶縁膜の貫通孔に導電性ペーストを充填してビアホール導体となる導体とを形成する工程と、(4)前記絶縁膜の表面に導電性ペーストを、一部が一方の貫通孔に充填した導体と接続するように印刷して第1又は第2の電極層となる導体膜を形成する工程とを含み、且つ上述の各工程を順次繰り返した後、絶縁膜、導体、及び導体膜を一体的に焼成処理することを特徴とする積層コンデンサ基板の製造方法である。

【0011】尚、貫通孔は、その絶縁膜を貫通するものであるが、その貫通孔の下開口部は、絶縁膜を形成する前に、既に形成された導体膜や導体によって閉塞され、全体としては「凹部」形状となるので、特に従来のグリーンシートを用いる製造方法のスルーホールと区別するため、本発明の製造方法では「貫通凹部」と表現する。

【0012】

【作用】本発明では、誘電体セラミック層となる絶縁膜が光硬化可能なモノマーを含有するセラミックスリップ材を塗布し、乾燥して形成されるため、セラミック層の膜厚の制御が極めて容易となる。

【0013】また、セラミック層となる絶縁膜に形成される第1及び第2のビアホール導体となる貫通凹部が、絶縁膜の選択的な露光・現像処理により形成されるため、任意の形状・寸法、例えば $250\mu\text{m}$ で、精度の高い貫通凹部を簡単に作成できる。

【0014】また、第1及び第2のビアホール導体となる導体が、上述の貫通凹部に充填して形成するため、安定的に導体を形成することができ、従来のようなグリーンシートに形成した貫通孔に充填した導電性ペーストが充填抜けすることが一切ない。

【0015】また、第1又は第2の電極層を形成するにあたり、形成面となる絶縁膜がスリップ材の塗布・乾燥によって形成されるため、常に形成面を平坦な面とすることができるため、第1又は第2の電極層を安定的に形成することができる。

【0016】従って、上述の(1)～(4)の工程を順次繰り返して行うが、ビアホール導体の位置決めが、実際には、精度の高い露光・現像処理で規定されるため、従来のグリーンシートを積層した際の位置ずれによるビアホール導体間の導通不良が発生せず、まず、第1又は第2の電極層が比較的大きなビアホール導体によって接続され、外部に導出できるため、低インダクタンスの積層コンデンサ基板となる。

【0017】また、上述の積層コンデンサ基板を形成するにあたり、このコンデンサと接続する外部回路を積層コンデンサ基板に簡単に形成することができる。即ち、

第1又は第2の電極層を形成する際にこの容量成分と接続する外部の回路を構成する所定配線パターンを、同時に第1及び第2のビアホールを形成する際にこの配線パターン間を接続するビアホール導体も同時に形成することができる。

【0018】従って、低インダクタンスの積層コンデンサの作用を十分に奏することができる回路一体型の積層コンデンサ基板とすることが可能となる。

【0019】

【実施例】以下、本発明を図面に基づいて説明する。

【0020】図1は、本発明に係る積層コンデンサ基板10の断面図である。尚、図において、容量成分を発生するコンデンサ部と該コンデンサ部と接続する回路部とを並設した例で説明する。

【0021】図1において、1は積層セラミック基板であり、2は電子部品である。

【0022】積層セラミック基板1には、コンデンサ部Xと多層回路部Yとが並設されている。また、積層セラミック基板1は、絶縁体セラミック層1a、誘電体セラミック層1b～1f、絶縁体セラミック層1g（総称してセラミック層という）と、セラミック層1a～1gの各層間には、前記容量部Xを構成する第1又は第2の電極層3a、3bが配置され、また、回路部Yを構成する内部配線4が配置されている。また、セラミック層1a～1gには、前記容量部Xを構成する第1及び第2のビアホール導体5a、5bが形成され、また、回路部Yを構成するビアホール導体6が形成されている。

【0023】また、積層セラミック基板1の主面には、コンデンサ部Xの端子電極7を含む回路部Yの表面配線（端子電極を含む）8が形成されている。図には示していないが、さらに、必要に応じて、厚膜抵抗体膜が形成されており、さらに、絶縁保護膜が電子部品2、端子電極7などを露出するように形成されている。

【0024】ここで、積層セラミック基板1の表裏両主面となるセラミック層1a、1gをアルミナなどの絶縁体セラミック層で形成している。本来であれば、セラミック層1a～1gを誘電体セラミック層とすべきであるが、例えば、積層セラミック基板1の主面に厚膜抵抗体膜を形成した場合、誘電体材料の一部（例えばチタニア成分、鉛成分など）が厚膜抵抗体膜に拡散して抵抗特性が不安定になりやすい。このため、厚膜抵抗体膜の抵抗特性を安定化するために絶縁体セラミック層を積層セラミック基板1の表裏両主面となるセラミック層1a、1gに用いている。また、基板の強度を考慮した場合にも有利となる。

【0025】絶縁体セラミック層1a、1gは、比較的低い温度で焼成可能にするガラスセラミック材料からなる。具体的なセラミック材料としては、クリストバライト、石英、コランダム（ $\alpha$ アルミナ）、ムライト、コーライトなどが例示できる。また、ガラス材料として

複数の金属酸化物を含むガラスフリットであり、焼成処理することによってコーゼライト、ムライト、アノーサイト、セルジアン、スピネル、ガーナイト、ウイレマイト、ドロマイト、ペタライトやその置換誘導体の結晶を少なくとも1種類を析出するものであればよい。

【0026】また、誘電体セラミック層1b~1fは、セラミック材料としては、誘電率が高いBaTiO<sub>3</sub>やPb<sub>4</sub>Fe<sub>2</sub>Nb<sub>2</sub>O<sub>12</sub>などの誘電体セラミック材料が例示できる。これらセラミック層1a~1gの厚みは例えば10~100μm程度である。

【0027】第1及び第2の電極層3a、3b、内部配線4、第1及び第2のビアホール導体5a、5b、ビアホール導体6は、Ag系（Ag単体、Ag-PdなどのAg合金）、Cu系（Cu単体、Cu合金）など導体からなり、第1及び第2の電極層3a、3b、内部配線4の厚みは8~15μm程度である。尚、第1及び第2のビアホール導体5a、5b、ビアホール導体6の直径は任意な値とすることができるが、例えば第1及び第2のビアホール導体5a、5bの直径は250μm、ビアホール導体6の直径は、80μmである。

【0028】端子電極7や表面配線8は、Ag系（Ag単体、Ag-PdなどのAg合金）、Cu系（Cu単体、Cu合金）など導体からなる。

【0029】銅系の端子電極7、表面配線8は、マイグレーションなどが発生しないため高密度化にとっては重要な導体材料である。尚、銅系導体の場合には、焼き付けの条件が還元性雰囲気または中性雰囲気で行う必要があるが、積層セラミック基板1の焼成時に同時に焼き付け処理するために、銀系導体を用いても構わない。

【0030】電子部品2は、ICペアチップ、チップ抵抗器、チップコンデンサなどのチップ部品の他に、既に容器に収納されたIC、トランジスタ、発振部品などが挙げられる。尚、基板全体の高さを低くするために、基板表面に、電子部品2を収納するキャビティを形成して、キャビティ内に電子部品2を収納・配置してもよい。

【0031】以上の構成では、例えば誘電体セラミック層1dを挟んで互いに対向する第1の電極層3aと第2の電極層3bとの間で所定容量成分が発生し、また誘電体セラミック層1eを挟んで互いに対向する第1の電極層3aと第2の電極層3bとの間で容量成分が発生する。そして、複数の第1の電極層3aは第1のビアホール導体5aによって共通的に接続され、複数の第2の電極層3bを第2のビアホール導体5bによって共通的に接続され、この容量部Xで発生した容量を端子電極7と第2ビアホール導体5bの一端と多層回路部Yとの接続部分との間で所定容量成分が導出することができる。

【0032】この時、各電極3a、3bは直径が250μmと非常に大きい第1のビアホール導体5a、第2のビアホール導体5bに接続され、この第1のビアホー

ル導体5a、第2のビアホール導体5bを介して所定容量が得られることになるため、各第1の電極層3aと第1のビアホール導体5aと接続の抵抗が、また、第2の電極層3bと第2のビアホール導体5bとの接続の抵抗が非常に小さくなり、また、端子電極7や多層回路部Yとの接続部分での接触抵抗が低下して、インダクタンス値が非常に小さくなる。

【0033】次に、積層セラミック基板1の製造方法を図2の工程の流れ図、図3(a)~図3(f)の主要工程における断面図に基づいて説明する。

【0034】まず、図2に示すように、予め、支持基板15を用意し、また、セラミック層1a~1gとなるセラミックスリップ材を用意し、さらに電極層3a、3b、内部導体4、ビアホール導体5a、5b、6となる導電性ペーストを用意しておく。

【0035】支持基板15は、例えば耐熱性樹脂、ガラス、セラミックなどが例示できる。

【0036】セラミックスリップ材は、図1においては2種類のスリップ材が必要であり、例えば、焼成した後絶縁体セラミック層1a、1gとなる絶縁膜10a、10gを形成するためのスリップ材は、セラミック粉末、ガラス材料、光硬化可能なモノマー、バインダー、溶剤を均質混練して形成する。

【0037】セラミック粉末は、クリストバライト、石英、コランダム（αアルミナ）、ムライト、コーゼライトなどの絶縁セラミック材料が例示できる。その平均粒径1.0~6.0μm、好ましくは1.5~4.0μmに粉碎したものをを用いる。尚、セラミック材料は2種以上混合して用いられてもよい。特に、コランダムを用いた場合、コスト的に有利となる。

【0038】ガラス材料として複数の金属酸化物を含むガラスフリットであり、焼成処理することによってコーゼライト、ムライト、アノーサイト、セルジアン、スピネル、ガーナイト、ウイレマイト、ドロマイト、ペタライトやその置換誘導体の結晶を少なくとも1種類を析出するものであればよく、例えば、B<sub>2</sub>O<sub>3</sub>、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、ZnO、アルカリ土類酸化物を含むガラスフリットが挙げられる。この様なガラスフリットは、ガラス化範囲が広くまた屈伏点が600~800℃付近にあるため、850~1050℃程度の低温焼成に適し、内部導体3となる導体膜との焼結挙動が近似しているためである。尚、このガラスフリットの平均粒径は、1.0~5.0μm、好ましくは1.5~3.5μmである。

【0039】上述のセラミック材料とガラス材料との構成比率は、850~1050℃の比較的低温で焼成する場合には、セラミック材料が10~60wt%、好ましくは30~50wt%であり、ガラス材料が90~40wt%、好ましくは70~50wt%である。

【0040】光硬化可能なモノマーは、比較的低温で且

つ短時間の焼成工程で消失できるように熱分解性に優れたものであり、また、スリップ材の塗布・乾燥後の露光によって、光重合される必要があり、遊離ラジカルの形成、連鎖生長付加重合が可能で、2級もしくは3級炭素を有したモノマーが好ましく、例えば少なくとも1つの重合可能なエチレン系基を有するブチルアクリレート等のアルキルアクリレートおよびそれらに対応するアルキルメタクリレートが有効である。また、テトラエチレングリコールジアクリレート等のポリエチレングリコールジアクリレートおよびそれらに対応するメタクリレートなどが挙げられる。尚、光硬化可能なモノマーは、露光処理後の現像処理によって露光部分以外の部分が容易に除去できるように所定量添加される。例えば、固形成分（セラミック材料及びガラス材料）に対して5～15wt%以下である。

【0041】バインダーは、光硬化可能なモノマー同様に熱分解性の良好なものでなくてはならない。同時にスリップの粘性を決めるものである為、固形成分との濡れ性も重視せねばならず、アクリル酸もしくはメタクリル酸系重合体のようなカルボキシル基、アルコール性水酸基を備えたエチレン性不飽和化合物が好ましい。添加量としては固形成分に対して25wt%以下が好ましい。

【0042】溶剤として、有機系溶剤、水系溶剤を用いることができる。尚、水系溶剤の場合、光硬化可能なモノマー及びバインダーは、水溶性である必要があり、モノマー及びバインダーには、親水性の官能基、例えばカルボキシル基が付加されている。その付加量は酸価で表せば2～300あり、好ましくは5～100である。

【0043】付加量が少ない場合は水への溶解性、固定成分の粉末の分散性が悪くなり、多い場合は熱分解性が悪くなるため、付加量は、水への溶解性、分散性、熱分解性を考慮して、上述の範囲で適宜付加される。

【0044】何れの系のスリップ材においても光硬化可能なモノマー及びバインダーは上述したように熱分解性の良好なものでなくてはならないが、具体的には600℃以下で熱分解が可能でなくてはならない。更に好ましくは500℃以下である。

【0045】また、スリップ材には、増感剤、光開始系材料等を必要に応じて添加しても構わない。例えば、光開始系材料としては、ベンゾフェノン類、アシロインエステル類化合物などが挙げられる。

【0046】また、焼成した後誘電体セラミック層1b～1fとなる絶縁膜10b～10fを形成するためのスリップ材は、誘電体セラミック粉末、光硬化可能なモノマー、バインダー、溶剤を均質混練して形成する。

【0047】上述のセラミックスリップ材との相違点は、固形成分として、誘電体セラミック材料、例えば、 $\text{BaTiO}_3$ 、 $\text{Pb}_4\text{Fe}_2\text{Nb}_2\text{O}_{12}$ 、 $\text{TiO}_2$ などの誘電体セラミック材料を用いた点である。

【0048】焼成した後、電極層3a、3b、内部導体

4、ビアホール導体5a、5b、6となる導体膜、導体を形成する導電性ペーストは、Ag系（Ag単体、Ag-PdなどのAg合金）、Cu系（Cu単体、Cu合金）など導体材料粉末、例えば銀系粉末と、低融点ガラス成分と、有機バインダーと有機溶剤とを均質混練したものが用いられる。尚、上述の導電性ペースト中に、セラミックスリップ材に用いた光硬化モノマーを添加し、各導体膜を印刷し、乾燥した後、露光処理によって光硬化させても構わない。これは、後述するように、導体膜上にセラミック層となる絶縁膜上の全面に塗布して、この絶縁膜に貫通凹部を形成するべく、露光、現像処理した時に、絶縁膜の貫通凹部の下部開口から露出する既に形成した導体膜もが除去されないようにするためである。尚、絶縁膜の現像処理に用いる現像液が、露光処理されていない絶縁膜のみを除去し、既に形成した導体や導体膜などを除去しないようにその成分や濃度を制御すれば、導電性ペーストに光硬化モノマーを用いる必要がなく、且つ導体、導体膜に対する露光処理を省略できる。

【0049】上述のように、支持基板15、セラミック層1a～1gとなるセラミックスリップ材、内部導体3となる導電性ペーストの準備を施した後、積層セラミック基板1となる積層体を形成する工程となる。

【0050】まず、図3(a)に示すように、(1)の工程として、支持基板15上に絶縁体セラミック層1aとなる絶縁膜10aを形成する。具体的には、セラミックスリップ材を40～120μm程度になるように塗布、乾燥して形成する。

【0051】スリップ材の塗布方法として、例えば、ドクターブレード法（ナイフコート法）、ロールコート法、印刷法などが挙げられる。特に塗布後の絶縁膜の表面が平坦化することが容易なドクターブレード法などが好適である。尚、塗布方法に応じて溶剤の添加量が調整され、所定粘度に調整される。

【0052】乾燥方法としては、バッチ式乾燥炉、インライン式乾燥炉を用いて行われ、乾燥条件は、120℃以下が望ましい。また、急激な乾燥は、表面にクラックを発生される可能性があるため、急加熱を避けることが重要となる。

【0053】次に、図3(b)に示すように、(2)の工程の前工程であるスリップ材を塗布・乾燥した絶縁膜10aを選択的な露光処理して、絶縁膜10aの所定位置、即ち、第1及び第2のビアホール導体5a、5bとなる位置に、貫通凹部50（実際には、支持基体15の存在のため凹部形状となる）となる溶化部50'を形成する。尚、この基板内に回路部を構成する図1の場合、この工程で同時に、ビアホール6となる位置に、貫通凹部60となる溶化部60'を形成する。

【0054】具体的には、絶縁膜10a中に含まれる光硬化モノマーが、光重合されるネガ型であるため、貫通

凹部50、60となる溶化部50'、60'のみが露光光が照射されないような所定パターンを有するフォトマスクを、絶縁膜10a上に載置、又は近接配置して、低圧、高圧、超高圧の水銀灯系の露光光を照射する。尚、露光条件は、 $15 \sim 20 \text{ J/cm}^2$ の露光光を約15～30秒程度照射して行う。これにより、絶縁膜10aの第1及び第2のビアホール導体5a、5b、ビアホール導体6となる部分以外は、光硬化可能なモノマーの光重合反応を起し、光硬化されることになる。尚、露光装置は所謂写真製版技術に用いられる一般的なものでよい。

【0055】そして、図3(c)に示すように、(2)の工程の後工程として、露光処理した絶縁膜10aを現像処理し、溶化部50'、60'を除去して、貫通凹部50、60を形成する。これにより、貫通凹部50、60の下部開口には、支持基板15の一部が露出することになる。

【0056】具体的には、現像処理として、クロロセン、1, 1, 1-トリクロロエタン、アルカリ現像剤を例えばスプレー現像法やパドル現像法によって、溶化部40'に噴射したり、接触したりして、現像処理を行う。その後、必要に応じて洗浄及び乾燥を行なう。

【0057】次に、図3(d)に示すように、(3)の工程として、現像処理して絶縁膜10aの貫通凹部50、60内に、第1、第2のビアホール導体5a、5bとなる導体51a、51b、ビアホール導体6となる導体61を導電性ペーストの充填によって形成する。

【0058】続いて、(4)の工程として、絶縁膜10a上に、セラミック層1aとセラミック層1bとの間に配置される第1の電極層3aとなる導体膜31aを形成する。尚、この基板内に回路部を構成する図1の場合、この工程で同時に、内部配線4となる導体膜41を導電性ペーストの印刷によって形成する。

【0059】上述の(3)のビアホール導体となる導体を形成する工程と(4)の電極層となる導体膜、内部配線となる導体膜を形成する工程を同一のスクリーン印刷で同時に行うこともできる。

【0060】以上で、一連の(1)～(4)の各工程が終了する。

【0061】次に、セラミックスリップ材を誘電体セラミック層となるセラミックスリップ材に代えて、上述の(1)の工程を繰り返して、誘電体セラミック層1bとなる絶縁膜10bを形成し、続いて、(2)の工程を行って、絶縁膜10bに第1、第2のビアホール導体5aと貫通凹部50、ビアホール導体6と貫通凹部60を形成し、続いて、(3)(4)の工程を行って、貫通凹部50及び貫通凹部60に導電性ペーストを充填して導体51a、51b、61を形成するとともに、絶縁膜10b上に誘電体セラミック層1bと誘電体セラミック層1cとの間に配置される電極層3bとなる導体膜31b、

内部配線4となる導体膜41を形成する。

【0062】同様に、誘電体セラミック層1c～誘電体セラミック層1fとなる絶縁膜10c～10f、絶縁膜10c～10fに形成される導体51a、51b、61、絶縁膜10c～10f上に形成される導体膜31a、31b、41を形成する。

【0063】最後に、また、スリップ材を代えて、(1)の工程を行って、最上層の絶縁体セラミック層1gとなる絶縁膜10gを形成し、続いて(2)の工程を行って、絶縁膜10g中にビアホール導体6となる貫通凹部60を形成し、(3)工程のみを行って、貫通凹部60内にビアホール導体6となる導体61を形成する。絶縁膜10gのビアホール導体6は基板の表面に露出するものであるため、その後現像処理されることがない場合は、光硬化を行う露光処理は省略される。

【0064】次に、図3(e)に示すように、支持基板15を分離して、積層コンデンサ基板10の寸法で分割できるようにプレス成型によって分割溝を形成し、一体的な焼結を行う。

【0065】焼結は、脱バインダ過程と焼成過程からなる。脱バインダ過程は、絶縁膜10a～10g、第1の電極層3aとなる導体膜31a、第2の電極層3bとなる導体膜31b、内部配線4となる導体膜41、第1のビアホール導体5aとなる導体51a、第2のビアホール導体5bとなる導体51b、ビアホール導体6となる導体61に含まれる有機成分を焼失するためのものであり、焼結過程の例えば600℃以下の温度領域で行われる。

【0066】また、焼成過程は、絶縁膜10a～10gのガラス成分を十分に軟化させて、セラミック粉末の粒界に均一に分散させ、積層セラミック基板1に一定強度を与え、同時に、導体膜31a、31b、41、各ビアホール導体となる導体51a、51b、61の銀系粉末を粒成長させて、低抵抗化させるとともに、絶縁層1a～1gと一体化させるものであり、酸化性雰囲気又は中性雰囲気中でピーク温度850～1050℃で行われる。

【0067】これにより、絶縁膜10a～10gはセラミック層1a～1gとなり、導体膜導体膜31a、31b、41は夫々、第1の電極層3a、第2の電極層3b、内部配線4となり、導体51a、51b、61は第1のビアホール導体導体5a、第2のビアホール導体5b、ビアホール導体6となる。

【0068】尚、支持基板15として、セラミック基体を用いる場合は、そのまま積層セラミック基板1の一部として用いることができる。この時、支持基板15上に内部配線を形成しておいてもよい。

【0069】次に、図3(f)に示すように、基板の両主面に、銅系導電性ペーストで端子端子電極7、表面配線8となる各導体膜を印刷形成し、その後、乾燥・焼成を行う。



【0070】ここで、銅系の端子電極7、表面配線8と銀系導体のビアホール導体6とが接合することになる。このため、銀と銅との共晶温度を考慮して、銅系の表面配線7として、低温（例えば780℃以下）焼成可能な銅系導電性ペーストをスクリーン印刷して、銅の酸化を防止するため、還元性雰囲気や中性雰囲気中で行うことが重要である。

【0071】その後、必要に応じて、厚膜抵抗膜や保護膜などを焼きつけを行い、分割溝にそって個々の基板の大きさに分割を行い、積層セラミック基板1が達成される。

【0072】さらに、電子部品2を、積層セラミック基板1の表面に半田接合する。

【0073】以上のように、上述の製造方法によれば、複数の第1の電極層3aを共通的に接続する第1のビアホール導体5a、複数の第2の電極層3bを共通的に接続する第2のビアホール導体5bは、セラミック層1a～1gとなる絶縁膜10a～10gに露光・現像処理によって形成された貫通凹部50に導電性ペーストを充填して形成される。このため、従来、非常に困難とされていたグリーンシートのスルーホールへの導電性ペーストの充填保持が不要となりため、特に、250μm程度の径であっても安定したビアホール導体5a、5bを形成することができる。

【0074】しかも、第1のビアホール導体5a、第2のビアホール導体5bを直径、形状・また異なるセラミック層に形成されたビアホール導体5a、5bとの接続位置も、上述の精度の高い露光処理によってのみ決まるため、直径、形状を任意とすることができ、ビアホール導体5a、5bの接続位置ずれなどの一切発生せず、ビアホール導体での接続抵抗が低く、且つ信頼性の高い、即ち、インダクタンス値の非常に低いコンデンサを簡単に形成することが可能となる。

【0075】また、各絶縁膜10a～10gの形成が、スリップ材の塗布によって行われるため、その膜厚の制御が容易であり、セラミック層1a～1gの誘電率に応じたもっとも最適な膜厚とすることができる。

【0076】また、この絶縁膜10a～10gを形成した時の表面は、下部に配置された電極層3a、3bや内部配線4のパターン形状、積層数の関わらず、常に均一な平坦面となる。このため、この絶縁膜10a～10eの表面に電極層3a、3bとなる導体膜31a、31bや内部配線4となる導体膜41、表面配線8などを形成するにあたり、確実に行えることになる。

【0077】また、インダクタンス値の低い容量部Xと同一の基板内に、この容量部Xの形成工程と同時に、容量部Xと接続する回路部Yを形成することができるため、特に高速動作の回路と一体化することにより、インダクタンス値の低い容量部Xの特性を十分に奏することができる。

【0078】尚、回路部Xにおいても、ビアホール導体6の直径、形状は任意に設定できるため、回路の電源ライン、アースラインなど大電流の流れるビアホール導体6の低抵抗化が容易に行えることになる。

【0079】尚、上述の実施例において、第1の電極層3aと第2の電極層3b、内部配線4、第1、第2のビアホール導体5a、5b、ビアホール導体6の導体材料と、基板表面の表面配線8、端子電極7の導体材料とが異種の導体材料で形成されているが、少なくとも同一条件で焼成できる導体材料を用いることにより、端子電極7、表面配線8の焼きつけ工程を、積層セラミック基板1の焼成工程前に行い、絶縁膜10a～10gと全ての導体とを同時に焼成することもできる。

【0080】また、図1に示す積層コンデンサ基板10においては、基板の裏面側主面には端子電極7や表面配線8を形成しているため、(1)の工程である最下部のセラミック層1aとなる絶縁膜10aの形成工程を行った後に、(2)の工程であるビアホール導体となる貫通凹部50、60を形成するための露光・現像処理工程をおこなっているが、基板の裏面側主面には端子電極7や表面配線8を形成しない場合は、絶縁膜10aを形成した後、(2)の工程を省略して、(3)の工程である導体膜の形成工程を行っても構わない。

【0081】さらに、セラミック層の積層数は7層構造であるが、容量値に応じて、積層数を任意に設定することができ、また、容量部Xが1つだけではなしに、複数発生するようにしても構わない。

【0082】実施例では、積層コンデンサ基板10内に容量部Xと回路部Yとを並設しているが、1つ又は複数の容量部Xのみで積層コンデンサ基板10を構成、即ち、積層コンデンサとしても構成しても構わない。この時、セラミック層として全て誘電体セラミック層のみで構成し、その積層セラミック基板1の主面には、第1及び第2のビアホール導体5a、5bと接続する島状の端子電極を形成する。

【0083】

【発明の効果】以上のように本発明によれば、セラミック層となる絶縁膜を光硬化モノマーを含有するスリップ材を用いて、順次塗布によって形成し、ビアホール導体となる貫通孔を絶縁膜の選択的な露光・現像処理によって形成し、ビアホール導体となる導体、電極層となる導体膜を導電性ペーストの印刷などで形成している。従って、特にビアホール導体の直径を任意に設定することができるため、インダクタンス値が低く、且つ接続信頼性が高い積層コンデンサ基板が非常に簡単に形成できる。

【0084】また、積層コンデンサ基板内にこのコンデンサと接続する回路を、コンデンサの形成工程と同時に形成することができるため、積層コンデンサ基板内に回路部を並設することにより、インダクタンス値が低い、

13

即ち高速動作する回路に対応することができるというコンデンサの特性を十分に引き出すことができる。

【図面の簡単な説明】

【図1】 本発明に係る積層コンデンサ基板の断面図である。

【図2】 本発明の積層コンデンサ基板の製造を説明するための工程図である。

【図3】 (a)～(f) は本発明の積層コンデンサ基板の製造の主要工程における断面図である。

【図4】 従来の低インダクタン型積層コンデンサの概略平面図である。

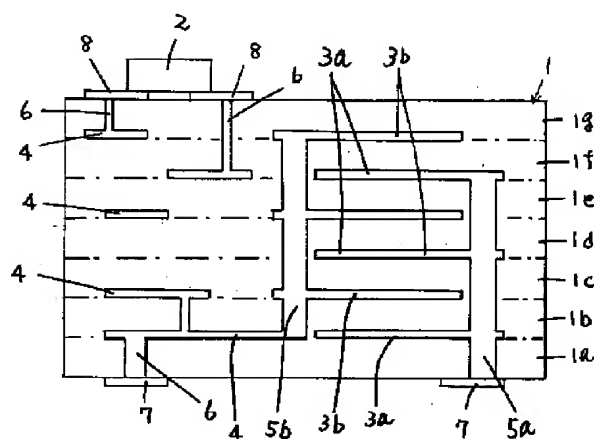
【符号の説明】

10・・・積層コンデンサ基板  
1・・・積層セラミック基板  
1a～1g・・・セラミック層  
10a～10g・・・絶縁膜

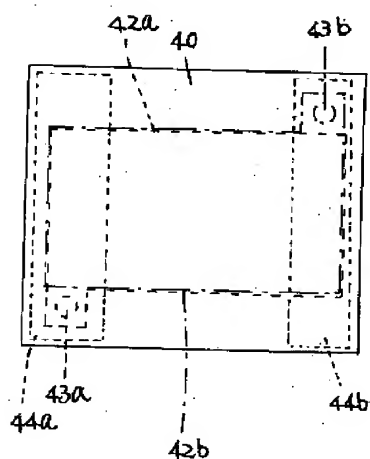
14

2・・・電子部品  
3a・・・第1の電極層  
3b・・・第2の電極層  
4・・・内部配線  
5a・・・第1のビアホール導体  
5b・・・第2のビアホール導体  
6・・・ビアホール導体  
7・・・端子電極  
8・・・表面配線  
31a・・・第1の電極層となる導体膜  
31b・・・第2の電極層となる導体膜  
41・・・内部配線となる導体膜  
51a・・・第1のビアホール導体となる導体  
51b・・・第2のビアホール導体となる導体  
61・・・ビアホール導体となる導体

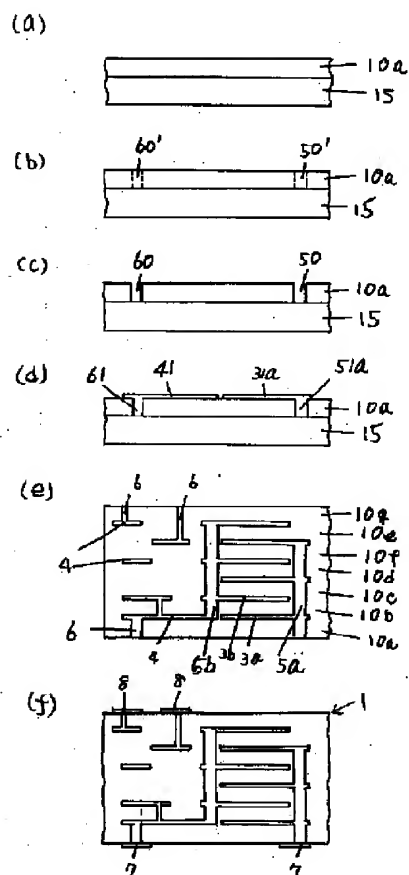
【図1】



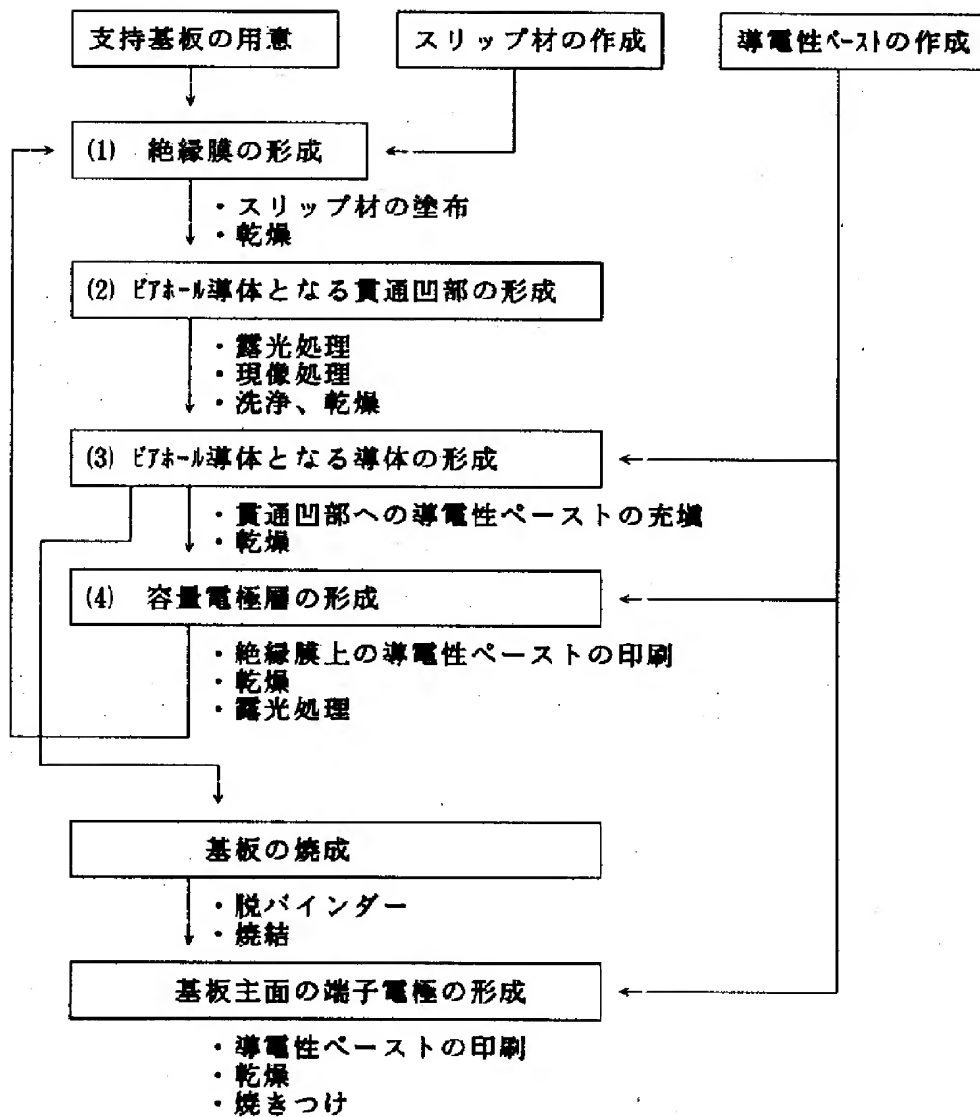
【図4】



【図3】



【図2】



フロントページの続き

(72)発明者 坂ノ上 聡浩  
鹿児島県国分市山下町1番1号 京セラ株  
式会社鹿児島国分工場内

(72)発明者 末永 弘  
鹿児島県国分市山下町1番1号 京セラ株  
式会社鹿児島国分工場内

(72)発明者 古橋 和雅  
鹿児島県国分市山下町1番1号 京セラ株  
式会社鹿児島国分工場内